

基于改进五输入择多门的 QCA 全加器设计及应用

刘 帅,解光军,张永强,项云龙,吕洪君

(合肥工业大学电子科学与应用物理学院,安徽合肥 230009)

摘 要: 量子元胞自动机(Quantum-dot cellular automata, QCA)是一种新兴的纳米技术.本文基于改进的五输入择多门,设计出一个全加器,在保持正确逻辑功能的基础上较以往的全加器有一定优势.应用该全加器设计加法器和乘法器,结果表明在某些性能上有显著提高.

关键词: 量子元胞自动机; 五输入择多门; 全加器; 加法器; 乘法器

中图分类号: TN402 **文献标识码:** A **文章编号:** 0372-2112 (2015)02-0387-06

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2015.02.028

The Design and Application of QCA Full Adder Based on Improved Five-Input Majority Gate

LIU Shuai, XIE Guang-jun, ZHANG Yong-qiang, XIANG Yun-long, LÜ Hong-jun

(School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei, Anhui 230009, China)

Abstract: Quantum-dot cellular automata (QCA) is an emerging nanotechnology. A full adder based on improved five-input majority gate is proposed. The full adder keeps correct logic function and dominates the previous results. Then it is applied to implement adder and multiplier. Results illustrate that they improve significantly in some performance.

Key words: quantum-dot cellular automata; five-input majority gate; full adder; adder; multiplier

1 引言

随着晶体管技术的提高,器件尺寸越来越小,小尺寸效应逐渐显现出来,严重影响器件的性能,因此需要新的技术来取代 CMOS. Lent 等^[1]1993 年第一次提出量子元胞自动机,基于 QCA 的电路具有高速、高集成度以及低功耗^[2]等优点,能够解决传统 CMOS 器件的一些问题,因而获得广泛关注.

全加器在数字电路中的重要性,使得其在 QCA 电路中获得比较多的研究.本文在改进五输入择多门的基础上,设计出一个全加器,该全加器在保持最小输出延迟的基础上,减少了元胞使用数目及占用面积,同时具有更高的稳定性.为了进一步探讨该全加器的性能,应用其设计加法器和乘法器.结果表明,均具有正确的逻辑功能,而且性能更加优越.

2 量子元胞自动机原理

2.1 QCA 元胞

QCA 元胞由处于正方形顶点的四个量子点和两个可以自由移动的电子组成,由于库仑作用,电子只有处

于对角线上的量子点时才能达到稳定状态,分别对应极化状态 $P = -1$ 和 $P = 1$,如图 1 所示.定义当 $P = -1$ 时对应二进制信息 0,当 $P = 1$ 时对应二进制信息 1.

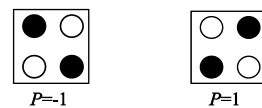


图1 QCA元胞

2.2 时钟

时钟主要有两方面的作用:(1)同步控制信息传输;(2)提供电路所需能量^[3].通常用四个相位差为 90°的时钟来控制信息的传输,用四种不同颜色来区分表示,信息传输顺序为时钟 0→时钟 1→时钟 2→时钟 3,如图 2 所示.

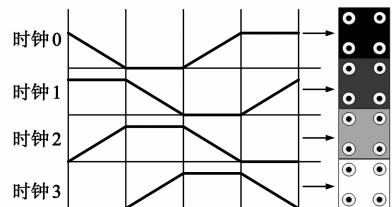


图2 时钟

2.3 逻辑单元

在 QCA 电路中最基本的逻辑单元是反相器和择多门. 反相器如图 3(a) 所示; 择多门主要有两种, 一种是三输入择多门, 一种是五输入择多门. 三输入择多门如图 3(b) 所示.

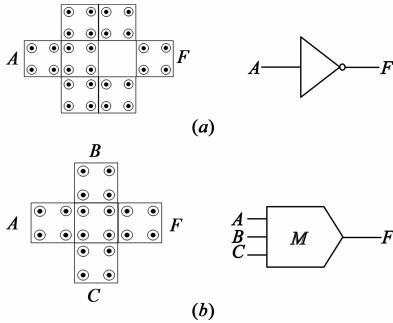


图3 反相器和三输入择多门

第一种五输入择多门由 Azghadi 等^[4]提出, 它由三维的元胞构成, 但并不能应用到电路中; Navi 等^[5,6]提出两种择多门, 文献[5]中的输出端位于内部, 没有实用性; 文献[6]中的由 10 个元胞构成, 元胞用一个时钟控制; Akeela 等^[7]提出一种择多门, Hashemi 等^[8]提出两种择多门, 但这三种使用的元胞比较多, 而且都要用三个时钟控制. 如图 4 所示(图 4(d), (e), (f) 中不同颜色的元胞表示处于不同的时钟).

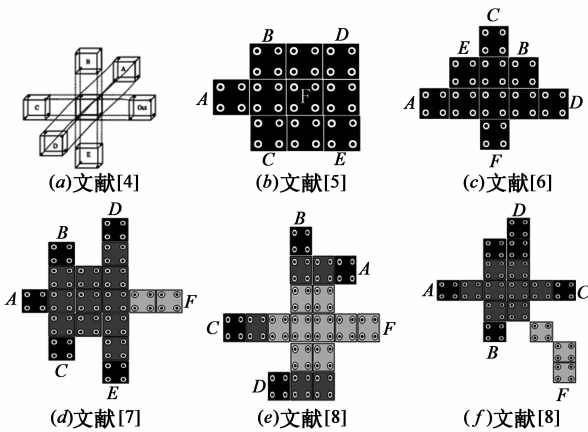


图4 五输入择多门

3 全加器设计

3.1 改进的五输入择多门

为了减少全加器的元胞数目、缩小面积, 将图 4(c) 中的五输入择多门作出改进, 如图 5 所示.

在图 4(c) 中, 元胞 E 作为一个输入端. 在改进后, 去掉元胞 E , 在原来的位置放置一个正常元胞, 并且增加一个正常元胞使其与输入端 C 相连. 这样, 输入端 C 便起到两个输入端的作用, 正好符合由五输入择多门构成的全加器中进位信号的需求, 极大的简化了电路

走线. 另外, 只有当输入信号同时进入具有表决作用的元胞时, 择多门才能保持正确功能. 因此, 为了保证输出正确, 输出端 F 以及中间四个元胞都用时钟 1 来控制.

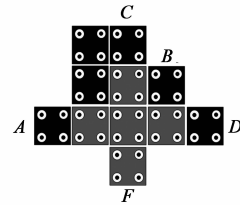


图5 改进的择多门

3.2 全加器

数字电路中算术运算(加、减、乘、除)最终都可归结为加法运算, 所以加法器的设计尤为重要, 而全加器又是加法器的基础, 因此性能优越的全加器有着举足轻重的作用. 第一种全加器由 Lent 等^[9]提出, 由五个三输入择多门和三个反相器组成, 后来 Wang 等^[10]将全加器“和”的表达式简化, 逻辑结构随之缩减到三个三输入择多门和两个反相器. Cho 等^[11]在此基础上设计出一种全加器, 元胞数目为 86, “和”输出延迟 $\frac{3}{4}$ 周期, 进位输出延迟 $\frac{2}{4}$ 周期. 最近, Pudi 等^[12]进一步将全加器简化, 只用到三个三输入择多门和一个反相器.

我们提出的全加器, 由一个三输入择多门、一个五输入择多门和一个反相器组成, 逻辑表达式为

$$C_0 = AB + AC + BC = M(A, B, C) \quad (1)$$

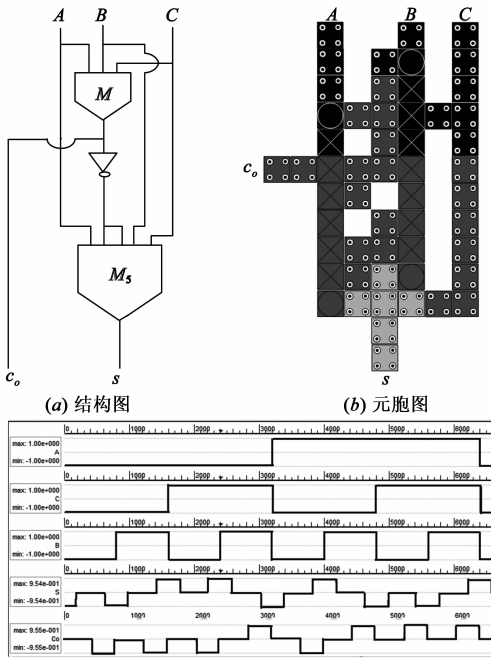
$$S = ABC + \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} = M(A, B, C, \bar{C}_0, \bar{C}_0) \quad (2)$$

其中 A, B, C 分别为加数和被加数以及进位输入, C_0 为进位输出, S 为和.

该全加器的结构图、元胞图及仿真结果如图 6 所示.

该全加器由 66 个元胞构成, “和”输出与进位输出分别延迟 $\frac{3}{4}$ 周期和 $\frac{2}{4}$ 周期. 与 Cho 等^[11]设计的全加器相比, 在输出延迟保持一致的情况下, 元胞数目减少了 20; 与 Pudi 等^[12]相比, 进位输出延迟保持一致, “和”输出延迟减少了 $\frac{1}{4}$ 周期. 而且由于输出端不被其它元胞所包围, 该全加器具有良好的扩展性.

目前, 也有文献提出以五输入择多门构成的全加器, 如 Navi 等^[6]设计的全加器由 73 个元胞组成, 输出延迟与本文的全加器一致, 但是由于该全加器的三个输入端位于全加器的内部, 导致不具备可扩展性. Hashemi 等^[8]设计出两种全加器, 其中一种虽然使用更少的元胞, 但电路中的反相器不稳定, 电路稳定性差,



(c) 仿真结果
图6 全加器

并且扩展性也不好;另外一种全加器使用 79 个元胞,输出延迟个 $\frac{1}{4}$ 周期,与本文全加器相比,输出延迟大大增加。

3.3 全加器的稳定性

元胞缺失、移位等缺陷会对电路的稳定性造成影响,本文设计的全加器和 Pudi 等^[12]设计的全加器在结构上相似,可以通过概率转移矩阵^[13]比较二者的稳定性。

对于有 m 个输入、 n 个输出的电路,共有 $2^m \times 2^n$ 种输入和输出组合,每种输入对应 1 种正确输出和 $2^n - 1$ 种错误输出。假设正确的输出概率为 p ,每种错误输出概率相等且总和为 q ,则 $p + q = 1$ 。根据上述描述可以列出不同单元的概率转移矩阵,如下所示

$$T_{\text{wire}} = \begin{bmatrix} p & q \\ q & p \end{bmatrix}, T_{\text{fanout2}} = \begin{bmatrix} p & \frac{q}{3} & \frac{q}{3} & \frac{q}{3} \\ \frac{q}{3} & \frac{q}{3} & \frac{q}{3} & p \end{bmatrix},$$

$$T_{\text{maj3}} = \begin{bmatrix} p & p & p & q & p & q & q & q \\ q & q & q & p & q & p & p & p \end{bmatrix}^T,$$

$$T_{\text{maj5}} = \begin{bmatrix} p & p & p & p & p & p & p & p & q & p & q & q & q & q & q & q & q & q & q & q & q \\ q & q & q & q & q & q & q & q & p & q & p & p & p & p & p & p & p & p & p & p & p \end{bmatrix}^T$$

假设有两个逻辑单元 A 和 B , 概率转移矩阵分别为 T_A 和 T_B 。若 A 的输出为 B 的输入,则二者称为串联结构,总的概率转移矩阵为 $T_A \cdot T_B$;若 A 与 B 互不影响,

则二者称为并联结构^[14],总的概率转移矩阵为 $T_A \otimes T_B$ (运算符和 \otimes 的定义与文献^[14]一致)。

Pudi 等^[12]设计的全加器和本文的全加器结构分别如图 7(a)、(b)所示。

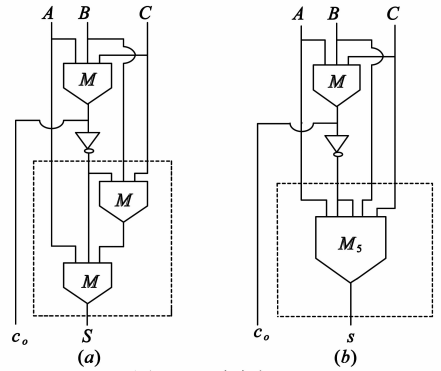


图7 两种全加器

图中虚线框为两种全加器的不同部分,由于其它部分相同,可以通过虚线框内的对比来计算两种全加器的稳定性,即

$$\text{图 7(a)}, T_1 = (T_{\text{wire}} \otimes T_{\text{wire}} \otimes T_{\text{fanout2}} \otimes T_{\text{wire}}) \cdot (T_{\text{maj3}} \otimes T_{\text{wire}} \otimes T_{\text{wire}}) \cdot T_{\text{maj3}} \quad (3)$$

$$\text{图 7(b)}, T_2 = (T_{\text{wire}} \otimes T_{\text{wire}} \otimes T_{\text{fanout2}} \otimes T_{\text{wire}}) \cdot T_{\text{maj5}} \quad (4)$$

基于上述表达式得出总体错误率 Q 随错误概率 q 的变化曲线,如图 8 所示。

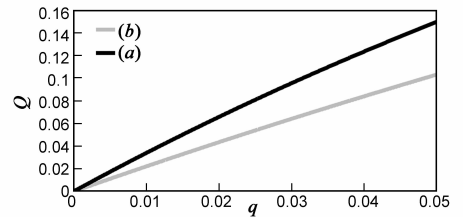


图8 总体错误率 Q 随错误概率 q 的变化曲线

由上图可知,在错误概率 q 相等的情况下,图 7(b) 的总体错误率要比图 7(a) 小,因此图 7(b) 中的全加器稳定性更高,可以更好地应用到大规模的电路中。

4 全加器的应用

4.1 加法器

Cho 等^[11]利用全加器设计出载流进位加法器(Carry Flow Adder, CFA), Pudi 等^[12]利用其设计的全加器实现了脉冲进位加法器(Ripple Carry Adder, RCA)。本文的全加器具有良好的扩展性,只需将前一个全加器的进位输出端连接到下一个全加器的进位输入端,便可实现加法器。限于篇幅,图 9 只给出四位加法器的元胞图和仿真结果。

与上述两种加法器进行对比,结果如表 1 所示(本

文的加法器用 Proposed 来代表,后面的数字代表加法器 的位数).

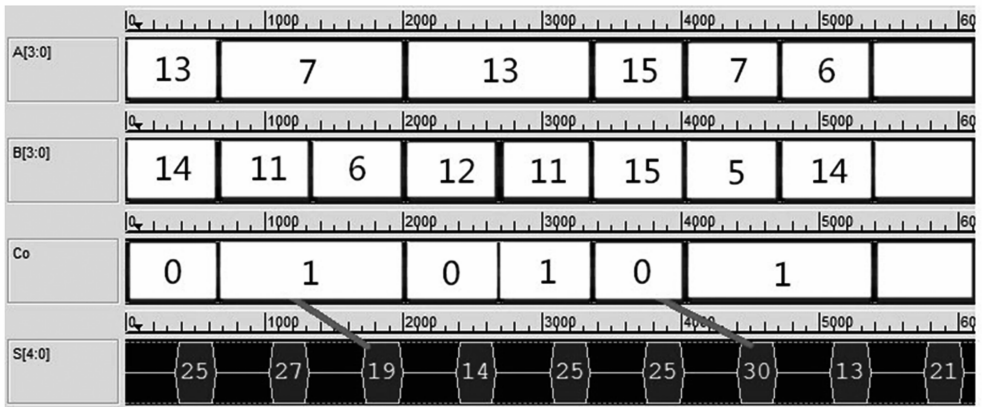
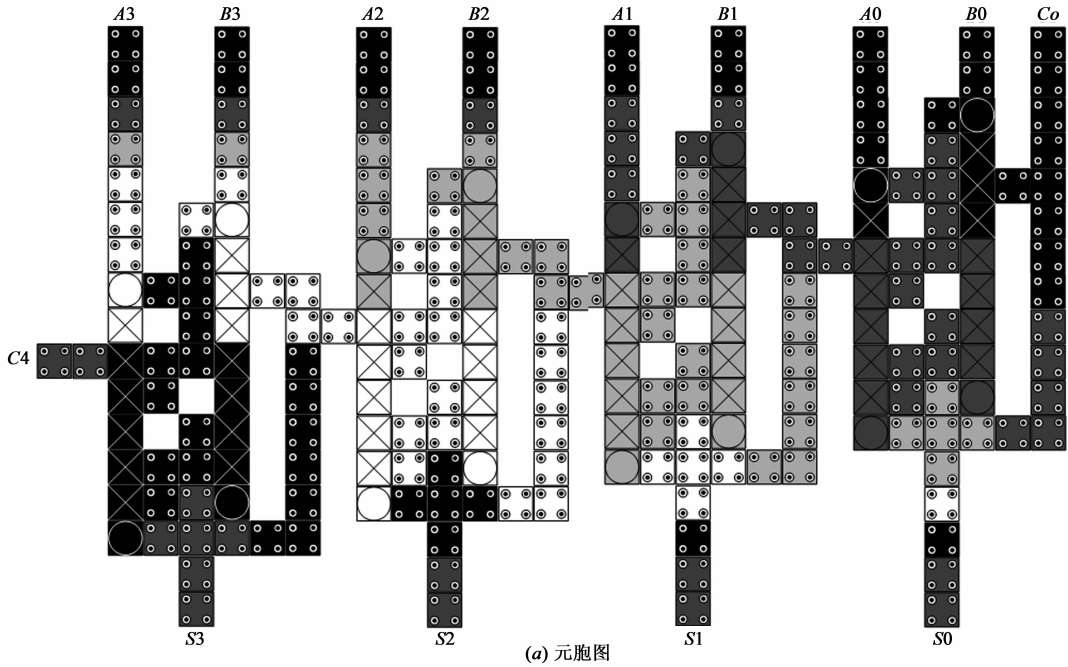


图9 四位加法器

由上述对比可知,基于本文全加器实现的加法器在保持最小时钟延迟的基础上,无论是元胞数目还是面积都较另外两种有很大的优势,而且优势随着加法器位数的增加不断扩大。

4.2 乘法器

实现乘法器的关键在于乘法器网络的构造,Cho 等基于滤波网络提出一个乘法器网络,在此基础上设计出进位延迟乘法器^[11](Carry Delay Multiplier, CDM).借助于该乘法器网络,本文的全加器也可以实现乘法器。

首先将本文的全加器修改为内部进位全加器,如图 10 所示(图 10(a)中 D 代表时钟延迟)。

根据乘法器网络,利用图 10(b)所示内部进位全加器设计出乘法器.图 11 为四位乘法器的元胞图与仿真结果,输出延迟 1 个周期。

将本文的乘法器与 Cho 等^[11]设计的进位延迟乘法器进行对比,结果如表 2 所示(本文的乘法器用 Multiplier 表示,后面的数字代表乘法器的位数)。

表 1 三种加法器的对比

类型	元胞数目	长 × 宽(μm × μm)	面积(μm ²)	延迟
Proposed4	279	0.58 × 0.24	0.139	1 $\frac{2}{4}$ clocks
Proposed8	584	1.14 × 0.40	0.456	2 $\frac{2}{4}$ clocks
Proposed16	1356	2.26 × 0.56	1.266	4 $\frac{2}{4}$ clocks
Proposed32	3476	4.50 × 0.88	3.960	8 $\frac{2}{4}$ clocks
Proposed64	10020	8.98 × 1.54	13.829	16 $\frac{2}{4}$ clocks
CFA4	371	0.90 × 0.45	0.405	1 $\frac{2}{4}$ clocks
CFA8	789	1.79 × 0.53	0.948	2 $\frac{2}{4}$ clocks
CFA16	1769	3.55 × 0.69	2.450	4 $\frac{2}{4}$ clocks
CFA32	4305	7.09 × 1.303	7.300	8 $\frac{2}{4}$ clocks
CFA64	11681	14.15 × 1.71	24.196	16 $\frac{2}{4}$ clocks
RCA4	339	0.82 × 0.31	0.254	1 $\frac{3}{4}$ clocks
RCA8	712	1.62 × 0.46	0.745	2 $\frac{3}{4}$ clocks
RCA16	1602	3.22 × 0.62	1.996	4 $\frac{3}{4}$ clocks
RCA32	3901	6.46 × 1.00	6.460	8 $\frac{3}{4}$ clocks
RCA64	10926	12.9 × 1.66	20.916	16 $\frac{3}{4}$ clocks

表 2 两种乘法器的对比

类型	元胞数目	长 × 宽(μm × μm)	面积(μm ²)	延迟
Multiplier 4	291	0.76 × 0.32	0.243	1clock
Multiplier 8	679	1.68 × 0.34	0.571	1clock
Multiplier16	1557	3.46 × 0.44	1.522	1clock
Multiplier 32	3677	7.02 × 0.62	4.352	1clock
Multiplier 64	9472	14.08 × 0.98	13.798	1clock
CDM4	406	1.05 × 0.47	0.494	1clock
CDM8	903	2.12 × 0.47	0.996	1clock
CDM16	1999	4.19 × 0.47	1.969	1clock
CDM32	4575	8.47 × 0.65	5.506	1clock
CDM64	11264	16.84 × 0.95	15.998	1clock

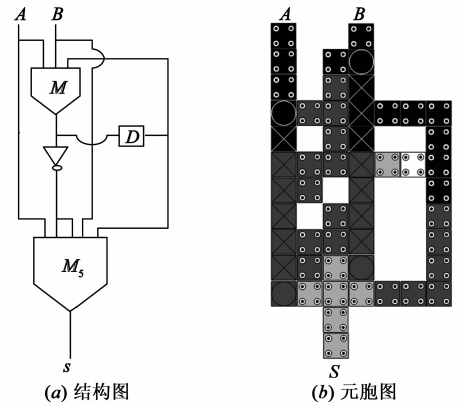
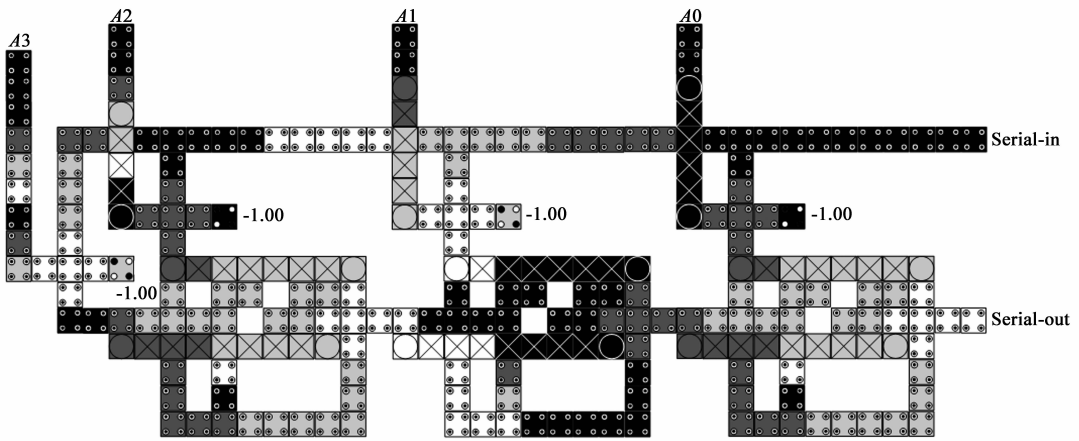
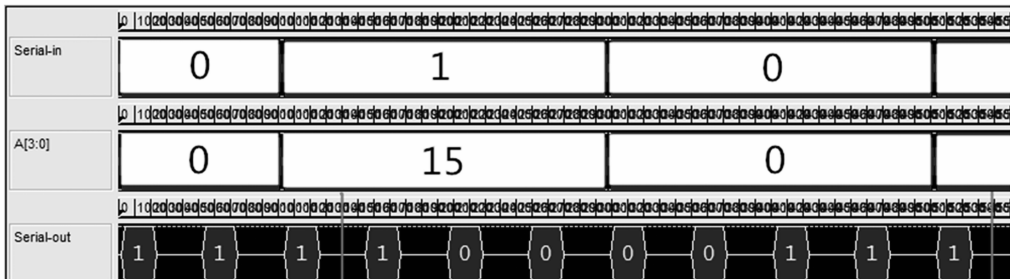


图10 内部进位全加器



(a) 元胞图



(b) 仿真结果

图11 四位乘法器

通过对比可知,在输出延迟相同的情况下,本文的乘法器无论是元胞数目还是面积都较 Cho 等人设计的进位延迟乘法器有很大优势.

5 结论

本文在改进五输入择多门的基础上设计出一种全加器,该全加器具有正确的逻辑功能.在保持最小输出延迟的前提下,无论是元胞数目还是占用面积均较以往全加器有一定的减少,通过概率转移矩阵计算发现该全加器的结构更加稳定,有利于应用到大规模电路中.

为进一步研究该全加器的性能,将其应用到加法器和乘法器中,结果表明,基于本文全加器实现的加法器和乘法器较以往使用更少的元胞,占用面积也进一步缩小,而且还保持最小的时钟延迟,因此性能更加优越.

参考文献

- [1] C S Lent, P D Tougaw, W Porod. Bistable saturation in coupled quantum dots for quantum cellular automata [J]. Applied Physics Letters, 1993, 62(7): 714 - 716.
- [2] 王友仁, 黄媛媛, 冯冉, 等. 基于矩阵编码的量子可逆逻辑电路进化设计方法[J]. 电子学报, 2011, 39(11): 2576 - 2582.
Wang You-ren, Huang Yuan-yuan, Feng Ran, et al. Evolutionary design technology of quantum reversible logic circuit based on matrix coding[J]. Acta Electronica Sinica, 2011, 39(11): 2576 - 2582. (in Chinese)
- [3] 夏银水, 裘科名. 基于量子细胞自动机的数值比较器设计[J]. 电子与信息学报, 2009, 31(6): 1517 - 1520.
Xia Yin-shui, Qiu Ke-ming. Number comparator based on quantum-dot cellular automata[J]. Journal of Electronics & Information Technology, 2009, 31(6): 1517 - 1520. (in Chinese)
- [4] M Rahimi Azghadi, O Kavehei, K Navi. A novel design for quantum-dot cellular automata cells and full adders[J]. Journal of Applied Sciences, 2007, 7(22): 3460-3468.
- [5] Keivan Navi, Samira Sayedsalehi, Razieh Farazkish, et al. Five input majority gate, a new device for quantum-dot cellular automata [J]. Journal of Computational and Theoretical Nanoscience, 2010, 7(8): 1546 - 1553.
- [6] Keivan Navi, Razieh Farazkish, Samira Sayedsalehi, et al. A new quantum-dot cellular automata full-adder[J]. Microelectronics Journal, 2010, 41(12): 820 - 826.
- [7] Rami Akeela, Meghanad D Wagh. A five input majority gate in quantum-dot cellular automata [J]. NSTI-Nanotechnology, 2011, 2(1): 13 - 16.

- [8] S Hashemi, M Tehrani, K Navi. An efficient quantum-dot cellular automata full-adder [J]. Scientific Research and Essays, 2012, 7(2): 177 - 189.
- [9] P D Tougaw, C S Lent. Logical devices implemented using quantum cellular automata [J]. Journal of Applied Physics, 1994, 75(3): 1818 - 1824.
- [10] W Wang, K Walus, G A Jullien. Quantum-dot cellular automata adders[A]. Proceedings of the Third IEEE Conference on Nanotechnology[C]. San Francisco: IEEE Computer Society, 2003. 461 - 464.
- [11] Heumpil Cho, Earl E Swartzlander. Adder and multiplier design in quantum-dot cellular automata[J]. IEEE Transactions on Computers, 2009, 58(6): 721 - 727.
- [12] Vikramkumar Pudi, K Sridharan. Low complexity design of ripple carry and brent-kung adders in QCA[J]. IEEE Transactions on Nanotechnology, 2012, 11(1): 105 - 119.
- [13] 欧阳城添, 江建慧. 基于概率转移矩阵的时序电路可靠度估计方法[J]. 电子学报, 2013, 41(1): 171-177.
OuYang Cheng-tian, Jiang Jian-hui. Reliability estimation of sequential circuit based on probabilistic transfer matrices[J]. Acta Electronica Sinica, 2013, 41(1): 171 - 177. (in Chinese)
- [14] 黄宏图, 蔡理, 彭卫东, 等. 一位 QCA 数值比较器的可靠性研究[J]. 微纳电子技术, 2011, 48(5): 291 - 295.
Huang Hong-tu, Cai Li, Peng Wei-dong, et al. Reliability study of 1-bit QCA comparators [J]. Micronanoelectronic Technology, 2011, 48(5): 291 - 295. (in Chinese)

作者简介



刘帅 男, 1989 年 10 月生于山东济宁. 现为合肥工业大学物理电子学硕士生. 研究方向为纳米电路的设计.
E-mail: 294141329@qq.com



解光军 男, 1970 年 8 月生于安徽肥西. 博士, 现为合肥工业大学教授. 研究方向为纳米电路与系统, 集成电路设计.
E-mail: gjxie8005@hfut.edu.cn